

(C) WPI / DERWENT

AN - 1992-373957 [46]

AP - DD19890332872 19890921

PR - DD19890332872 19890921

TI - Error detection and identification in microcomputers - using ready signal produced by addressed unit and interrupted only if error occurs

IW - ERROR DETECT IDENTIFY MICROCOMPUTER READY SIGNAL PRODUCE ADDRESS UNIT INTERRUPT ERROR OCCUR

IN - POENISCH R; STAUTMEISTER T

PA - (ELPR-N) ELPRO BERLIN IND & ANLAGENBAU AG

- (ELKP) VEB ELEKTROPROJEKT & ANLAGENBAU

PN - DD300496A7 19920617 DW199246 G06F11/32 007pp

ORD - 1992-06-17

IC - G06F11/32

FS - EPI

DC - T01

AB - DD-300496 An addressed unit produces a ready signal which remains active for the duration of a current cycle or becomes prematurely inactive in the event of memory or hardware errors.

- A central analysing circuit interrogates the ready signal at set times and stores any deviation from a set condition as an error for further processing.

- ADVANTAGE - Errors are detected and identified quickly and reliably independently of the central software.



(12) Ausschließungspatent

(11) DD 300 496 A7

Erteilt gemäß § 18 Absatz 2
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) G 06 F 11/32

DEUTSCHES PATENTAMT

(21)	DD G 06 F / 332 872 2	(22)	21.09.89	(45)	17.08.92
(71)	VEB Elektroprojekt und Anlagenbau Berlin, Rhinstraße 100, O - 1140 Berlin, DD				
(72)	Stautmeister, Thomas, Dipl.-Ing.; Pönisch, Roland, Dipl.-Ing., DE				
(73)	Elpro AG Berlin, Industrieelektronik und Anlagenbau, Rhinstraße 100, O - 1140 Berlin, DE				
(54)	Verfahren zur Fehlererkennung, Fehleridentifikation und Fehleranzeige in Mikrorechnersystemen				

(55) Fehlererkennung; Fehleridentifikation; Fehleranzeige; Mikrorechnersystem; Überwachung; Bereitschaftssignal; Bussignalspiel; Adreßdekoder; Auswerteschaltung

(57) Die Erfindung betrifft ein Verfahren zur Fehlererkennung, Fehleridentifikation und Fehleranzeige in Mikrorechnersystemen. Sie beinhaltet ein Verfahren zur Überwachung von Mikrorechnersystemen mit dem Ziel der zentralen, softwareunabhängigen Erkennung, Identifikation und Anzeige von Zugriffs- und speicher- oder gerätespezifischen Fehlern. Mit geringem Aufwand wird ein vorhandenes Bussignal zur zuverlässigen zentralen Fehlererkennung und -identifikation verschiedenartiger Fehler genutzt und die zugehörige Adresse festgehalten. Erfindungsgemäß genoriert die adressierte Einheit bei intaktem Adreßdekoder mit Aktivwerden der entsprechenden Steuersignale ein Bereitschaftssignal, welches für die Dauer des Zyklus aktiv bleibt oder bei definierten speicher- oder gerätespezifischen Fehlern zu einem definierten Zeitpunkt vorzeitig inaktiv wird. Es ist eine zentrale Auswerteschaltung vorhanden, die abhängig vom Bussignalspiel das Bereitschaftssignal zu vorgegebenen Zeiten abfragt und eine Abweichung vom Soll-Zustand als entsprechenden Fehler speichert und zur Weiterverarbeitung anbietet.

Patentansprüche:

1. Verfahren zur Fehlererkennung, Fehleridentifikation und Fehleranzeige in Mikrorechnersystemen mittels vorhandener Bussignale, **dadurch gekennzeichnet**, daß die adressierte Einheit bei intaktem Adreßdekoder mit Aktivwerden der entsprechenden Steuersignale ein Bereitschaftssignal generiert, welches für die Dauer des Zyklus aktiv bleibt oder bei definierten speicher- oder gerätespezifischen Fehlern zu einem definierten Zeitpunkt vorzeitig inaktiv wird und daß eine zentrale Auswerteschaltung existiert, die abhängig vom Bussignalspiel das Bereitschaftssignal zu vorgegebenen Zeiten abfragt und eine Abweichung vom Sollzustand als entsprechenden Fehler speichert und zur Weiterverarbeitung anbietet.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß ein generiertes Bereitschaftssignal je nach Zeitspiel auf dem Bus und Anzahl der im Bereitschaftssignal zu verschlüsselnden Fehlerinformationen ein- bis n-mal verkürzt wird.
3. Verfahren nach Anspruch 1 und 2, **dadurch gekennzeichnet**, daß eine Auswerteschaltung existiert, die das Bereitschaftssignal zu bestimmten Zeitpunkten abhängig von den verschlüsselten Fehlerinformationen ein- oder mehrmals abfragt und eine Abweichung vom Sollwert des Bereitschaftssignales speichert und dem Abfragezeitpunkt entsprechend identifiziert.
4. Verfahren nach Anspruch 1 bis 3, **dadurch gekennzeichnet**, daß die Zustände der verschiedenen Fehlerspeicher durch nachgeschaltete Anzeigeeinheiten sichtbar gemacht werden und/oder durch eine Treiberlogik eine Rechnerverarbeitung möglich ist und/oder die Ausgänge der Fehlerspeicher als Anwenderschnittstelle genutzt werden können.
5. Verfahren nach Anspruch 1 bis 4, **dadurch gekennzeichnet**, daß die Ausgänge der Fehlerspeicher als Steuersignale zur Speicherung der Adresse des fehlerhaften Zyklus genutzt werden.
6. Verfahren nach Anspruch 1 bis 5, **dadurch gekennzeichnet**, daß die Rücksetzung der Fehlerspeicher sowohl manuell als auch durch den Rechner erfolgen kann.
7. Verfahren nach Anspruch 1 bis 6, **dadurch gekennzeichnet**, daß es sich um einen K 1520-Systembus mit den Bussignalspielen für Befehlslesezyklus, Speicherdatenlese- oder -schreibzyklus, E/A-Zyklus oder Interruptanerkennungszyklus handelt.

Hierzu 3 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Überwachung von Mikrorechnersystemen mit dem Ziel der zentralen Erkennung, Identifikation und Anzeige von Zugriffs- und speziellen speicher- oder gerätespezifischen Fehlern.

Charakteristik der bekannten technischen Lösungen

Es ist eine Vielzahl von Verfahren und Schaltungsanordnungen zur Fehlererkennung, Fehleridentifikation und Fehleranzeige in Mikrorechnersystemen bekannt, wobei der größte Teil die Überwachung des ordnungsgemäßen Programmablaufes betrifft. So ist aus der DE-OS 3704318 (G06F 11/28) bekannt, bei einem Verfahren und einer Anordnung zur Überwachung der Funktion eines Mikroprozessors in einem Programm für den Mikroprozessor Prüfstellen vorzusehen, welche bei ordnungsgemäßem Programmablauf innerhalb vorgegebener Zeitabstände durchlaufen und an denen vom Mikroprozessor vorgegebene Daten abgegeben werden. Durch eine Prüfeinrichtung werden bei Erreichen jeweils einer Prüfstelle die dann abgegebenen Daten mit gespeicherten Daten verglichen.

Bekannt sind auch Verfahren und Anordnungen zur Fehlererkennung oder Fehlerkorrektur durch redundante Datendarstellung, z. B. durch Verwendung von Kontrollcodes, insbesondere durch Hinzufügen binärer Signale oder Symbole zu den codierten Informationen, z. B. Paritätskontrolle.

Aus der DE-PS 3404782 (G06F 11/28) sind ein Verfahren und eine Schaltungsanordnung zum Prüfen eines Programmes in Datenverarbeitungsanlagen bekannt. Beim Prüfen eines Programmes in Datenverarbeitungsanlagen wird der Arbeitsspeicher vor dem Abarbeiten des Programmes mit Informationen beschrieben, denen jeweils ein falsches Paritätszeichen zugeordnet ist. Dadurch werden Programmfehler des zu prüfenden Programmes, die sich in einem Lesezugriff zu einer nicht normierten Speicherzelle äußern können, augenblicklich erkannt.

Bekannt ist auch, zur Fehlererkennung von Hardwarekomponenten eines Mikrorechnersystems die Fehlersignale über einen zusätzlichen Koppelbus zu übertragen. Solche Lösungen sind sehr materialaufwendig.

Ziel der Erfindung

Ziel der Erfindung ist die Schaffung eines einfachen Verfahrens, das es ermöglicht, mit geringem Aufwand ein vorhandenes Bussignal zur zuverlässigen zentralen Fehlererkennung und Fehleridentifikation verschiedenartiger Fehler zu nutzen und die zugehörige Adresse festzuhalten.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur zentralen, softwareunabhängigen Fehlererkennung und -identifikation bei der Arbeit mit Speichern und E/A-Einheiten sowie Fehleranzeige bei einem Mikrorechnersystem unter Ausnutzung vorhandener Busleitungen vorzuschlagen.

Erfindungsgemäß wird das Bereitschaftssignal von der adressierten Einheit während des Bussignalspiels mit Aktivwerden der entsprechenden Steuersignale bei intaktem Adressdekoder generiert und bleibt entweder für die Dauer des entsprechenden Zyklus aktiv oder wird bei Auftreten von festgelegten Speicher- oder gerätespezifischen Fehlern zu einem definierten Zeitpunkt T_x vorzeitig abgeschaltet.

Zweckmäßigerweise wird das Bereitschaftssignal bei intaktem Adressdekoder generiert und die Auswirkung von Speicher- oder gerätespezifischen Fehlern wird bis zu einem definierten Zeitpunkt T_x im entsprechenden Zyklus unterdrückt.

Die zentrale Auswerteeinheit gestattet eine Abfrage des Bereitschaftssignales zum Zeitpunkt T_x und am Ende eines jeden Zyklus. Die dadurch identifizierte Fehlerart ist zweckmäßigerweise zu speichern und weiterzuverarbeiten.

Es ist vorteilhaft, die zum Fehler gehörige Adresse abzuspeichern.

Weiterhin ist es vorteilhaft, als speicherspezifischen Fehler das Ergebnis einer Paritätskontrolle auszuweisen.

Erfindungsgemäß wird ein generiertes Bereitschaftssignal je nach Zeitspiel auf dem Bus und der Anzahl der im Bereitschaftssignal zu verschlüsselnden Fehlerinformationen ein- bis n-mal verkürzt.

In Ausgestaltung der Erfindung existiert eine Auswerteschaltung, die das Bereitschaftssignal zu bestimmten Zeitpunkten abhängig von den verschlüsselten Fehlerinformationen ein- oder mehrmals abfragt und eine Abweichung vom Sollwert des Bereitschaftssignales speichert und dem Abfragezeitpunkt entsprechend identifiziert.

Es ist zweckmäßig, daß die Zustände der verschiedenen Fehlerspeicher durch nachgeschaltete Anzeigeeinheiten sichtbar gemacht werden und/oder durch eine Treiberlogik eine Rechnerverarbeitung möglich ist und/oder die Ausgänge der Fehlerspeicher als Anwenderschnittstelle genutzt werden können.

In weiterer Ausgestaltung werden die Ausgänge der Fehlerspeicher als Steuersignale zur Speicherung der Adresse des fehlerhaften Zyklus genutzt.

Die Rücksetzung der Fehlerspeicher kann sowohl manuell als auch durch den Rechner erfolgen.

Es ist zweckmäßig, von einem K 1520-Systembus mit den Bussignalspielen für Befehlslesezyklus, Speicherdatenlese- oder -schreibzyklus, E/A-Zyklus oder Interruptanerkennungszyklus auszugehen.

Das erfindungsgemäße Verfahren kann zweckmäßigerweise mittels Schaltungsanordnungen zur Generierung und Auswertung des Bereitschaftssignales im Allgemeinen und /RDY-Generierung E/A-Gerät, /RDY-Generierung Speicher und /RDY-Auswertung für einen K 1520-Systembus gemäß Ausführungsbeispiel realisiert werden.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel am K 1520-Systembus näher erläutert werden. Die zugehörigen Zeichnungen zeigen

Fig. 1: Prinzipschaltbild Generierung Bereitschaftssignal

Fig. 2: Prinzipschaltbild Auswertung Bereitschaftssignal

Fig. 3: Schaltungsbeispiel /RDY-Generierung E/A-Gerät

Fig. 4: Schaltungsbeispiel /RDY-Generierung Speicher

Fig. 5: Schaltungsbeispiel /RDY-Auswertung.

Die Fig. 3 ... Fig. 6 beziehen sich auf den K 1520-Systembus.

Fig. 1 zeigt die Prinzipschaltung der erfindungsgemäßen Schaltungsanordnung zur Generierung eines Bereitschaftssignales. Der Ausgang der Adressdekoderlogik ADC wird aktiviert und bei geöffnetem TOR 2 zum Bereitschaftssignal, wenn die entsprechenden Signale auf dem Bus mit der Kodierung von adressiertem Speicher oder E/A-Gerät übereinstimmen. Im fehlerfreien Fall ist TOR 2 geöffnet, ein zu beliebiger Zeit auftretender Fehler sperrt über TOR 1 das TOR 2. Die Logik TX erzeugt ein Sperrsignal, das bis zum Zeitpunkt T_x das TOR 1 sperrt, so daß ein eventueller Fehler erst nach T_x das TOR 1 passieren und TOR 2 sperren kann.

Fig. 2 zeigt die Prinzipschaltung der erfindungsgemäßen Schaltungsanordnung zur zentralen Auswertung des Bereitschaftssignales.

Als Fehlerspeicher für die verschiedenen Fehlerarten dienen D-Flipflops (FF1 ... FF5), die den Zustand des Bereitschaftssignales zu definierten Zeitpunkten von ihren Dateneingängen übernehmen.

Eine Logik erzeugt aus diversen Steuersignalen und dem Systemtakt die zeitlich unterschiedlichen Taktsignale für FF1 ... FF5. Bei Auftreten eines Fehlers speichert ein Adresslatch die zugehörige Speicher- oder E/A-Adresse. Die Ausgangssignale der Fehlerspeicher werden angezeigt bzw. weiterverarbeitet. Über ein Rücksetzsignal lassen sich die Fehlerspeicher in ihre Ausgangslage rücksetzen.

In der Ausführungsvariante nach Fig.3 übernimmt ein Adreßdekode, bestehend aus D1, D2 und D3 die statische Bildung des Bereitschaftssignales einer E/A-Einheit nach

$$RDY = \text{"Adresse erkannt"} \cdot IORQ \cdot M1 \cdot /IODI.$$

Ein auftretender Peripheriefehler, gekennzeichnet durch FEHLER = HIGH, sperrt über D5 und D4 das Bereitschaftssignal /RDY ab der ersten positiven Taktflanke nach /IORQ = LOW.

In der Ausführungsvariante nach Fig.4 übernimmt ein Adreßdekode ADC die Bildung des Bereitschaftssignales

$$RDY = \text{"Adresse erkannt"} \cdot MREQ \cdot /MEMDI \cdot /RFSH$$

oder

$$RDY = MEMDI \cdot MREQ \cdot /RFSH.$$

Ein auftretender Paritätsfehler, gekennzeichnet durch PARFEHLER = HIGH, sperrt über D11 und D12 das Bereitschaftssignal /RDY ab der ersten negativen Taktflanke nach /MREQ = LOW.

Im Interruptanerkennungszyklus wird das Bereitschaftssignal nach

$$RDY = IEI \cdot /IEO \cdot IORQ \cdot M1$$

generiert.

Fig. 5 zeigt eine Ausführungsvariante der /RDY-Auswerteschaltung. Mit dieser Schaltung werden folgende Abfragezeitpunkte von /RDY realisiert und der zugehörige Zustand von /RDY gespeichert.

- negative Taktflanke von T2 in Befehlslesezyklus bzw. Speicherdatenlese- oder -schreibzyklus: Abfrage auf Speicherfehler
- positive Flanke von /MREQ in Befehlslesezyklus bzw. Speicherdatenlesezyklus: Abfrage auf Paritätsfehler
- positive Taktflanke von TW im Ein-/Ausgabezyklus: Abfrage auf E/A-Fehler
- positive Flanke von /IORQ im Ein-/Ausgabezyklus: Abfrage auf Peripheriefehler
- negative Taktflanke von 2. TW im Interruptanerkennungszyklus: Abfrage auf INT-Fehler

Die D-Flipflops D21, D22 und D23 erzeugen an ihren Ausgängen Schaltflanken zu den o.g. Abfragezeitpunkten für INT-Fehler, Speicherfehler und E/A-Fehler. Diese Schaltflanken gestatten die Speicherung des Signales /RDY zum angegebenen Zeitpunkt in den D-Flipflops D26, D28 und D30. Bei inaktivem /RDY wird das entsprechende D-Flipflop gesetzt und somit der Fehler gespeichert. Die Rückführungen /Q-/S an den D-Flipflops verhindern das Rücksetzen eines einmal gesetzten Flipflops während der folgenden Zyklen.

Die Abfrage des Signales /RDY auf Paritäts- oder Peripheriefehler geschieht am Ende des jeweiligen Zyklus über D24 bzw. D25. In D27 bzw. D29 wird dann bei zum Abfragezeitpunkt inaktivem /RDY der entsprechende Fehler gespeichert. D24 und D25 verriegeln den Zugriff auf letztgenannte Speicher sowohl vor den Abfragezeitpunkten für Speicher- bzw. E/A-Fehler als auch nach dem Auftreten von Speicher- oder E/A-Fehler.

In D32 werden die Ausgänge der D-Flipflops D27... D30 disjunktiv verknüpft, so daß der erste gespeicherte Fehler über D31 die Speicherung weiterer Fehler unterdrückt. Der Ausgang von D32 kann zum Speichern der zum Fehler gehörigen Adresse genutzt werden.

Ein Rücksetzen der Fehler-Flipflops D26... D30 ist über die Taste S möglich.

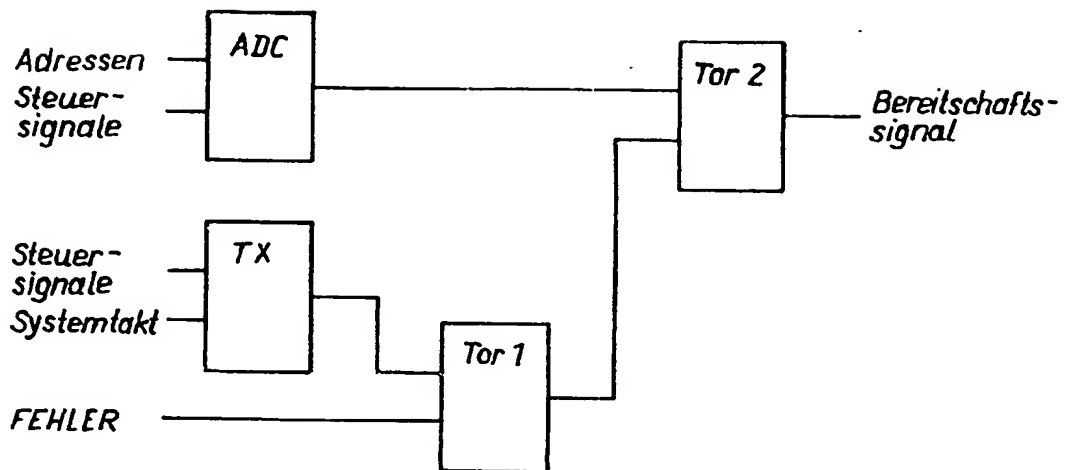


Fig. 1

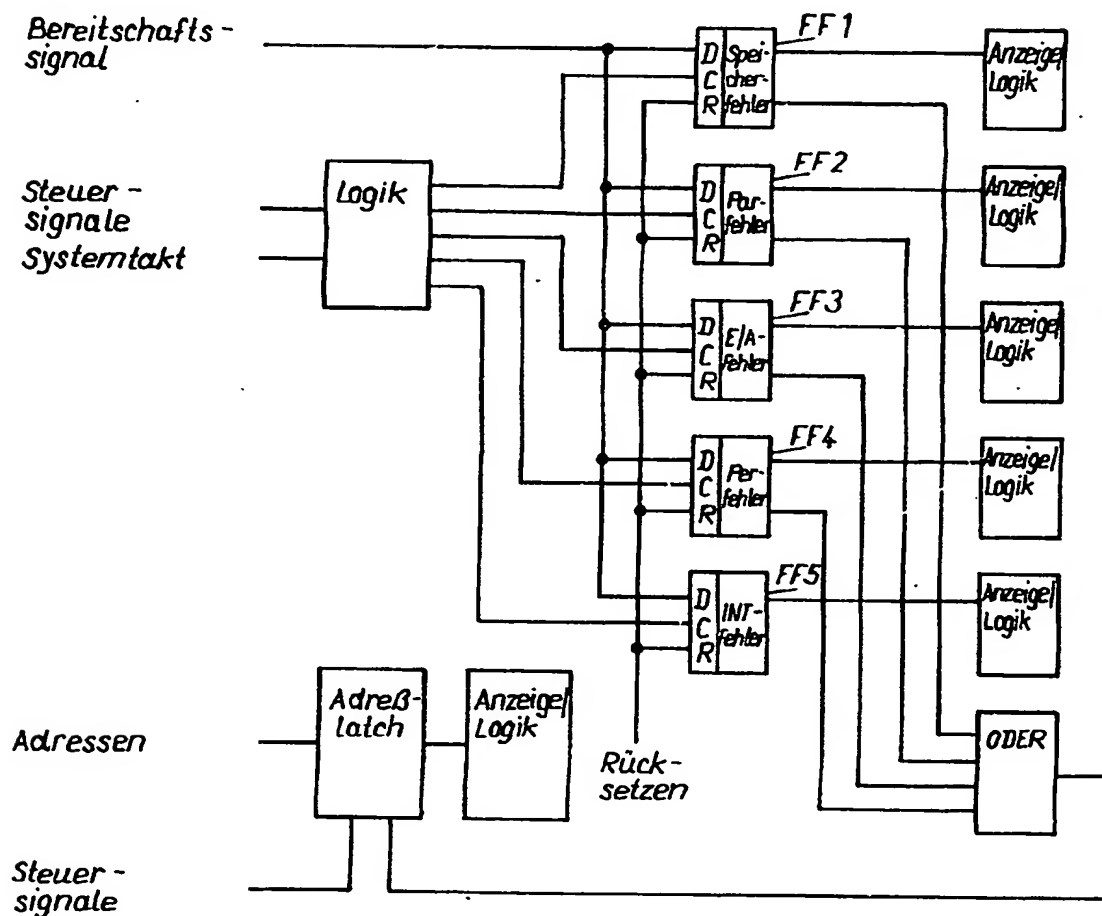


Fig. 2

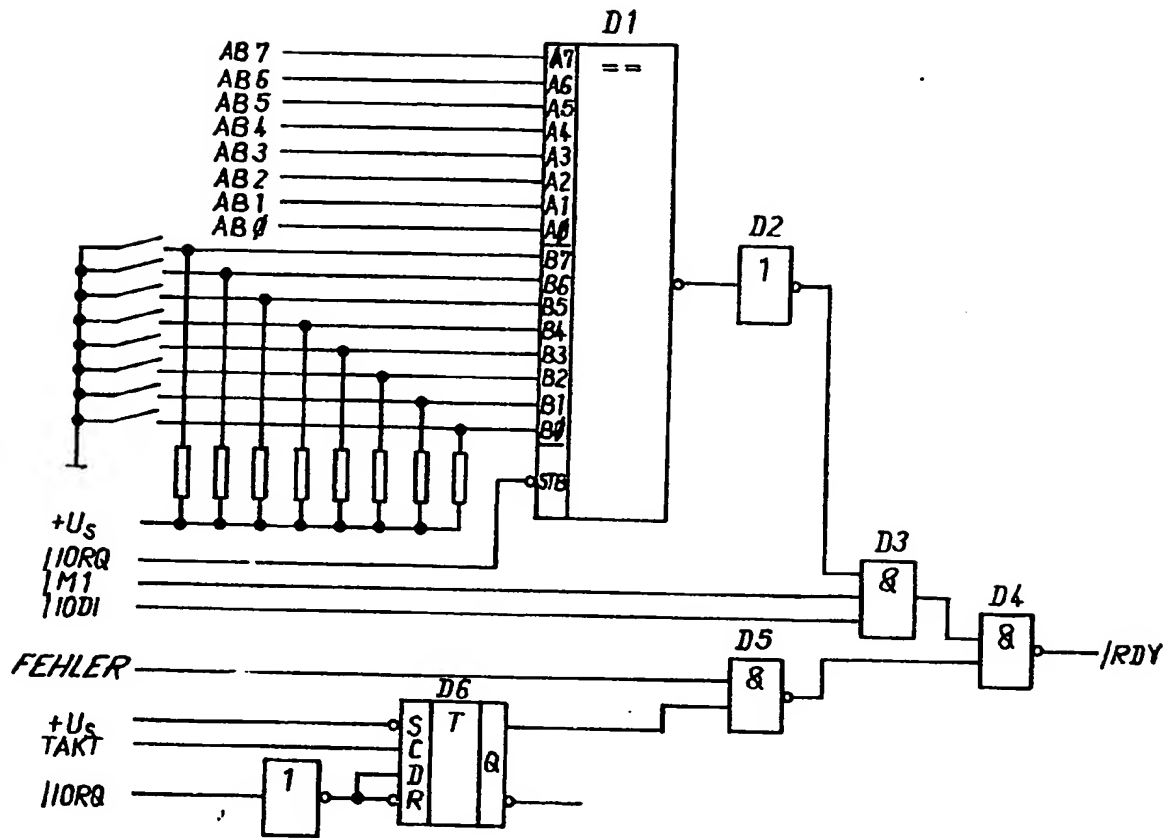


Fig. 3

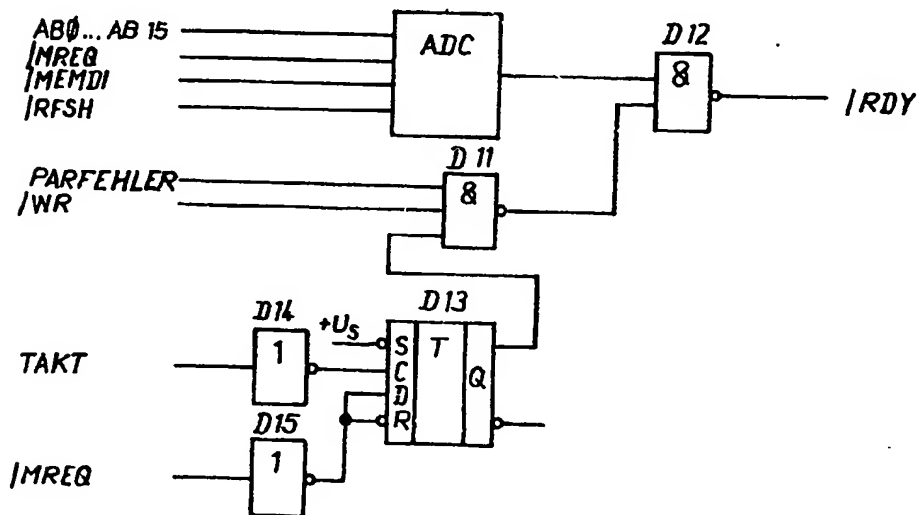


Fig. 4

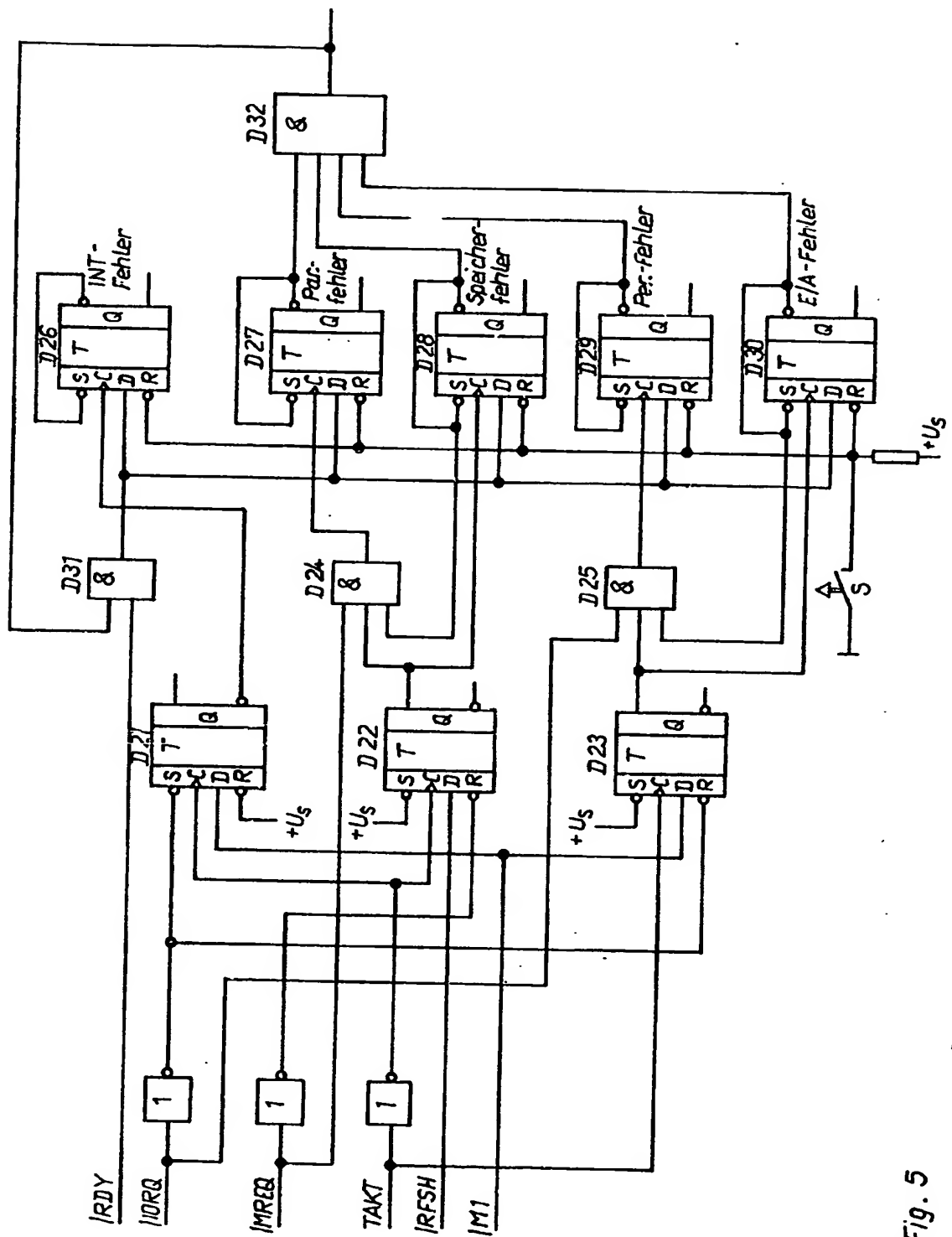


Fig. 5